

E5568



Home



Search



List

☒ Include

## MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: WO9609645

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)

WO9609645

## SEMICONDUCTOR DEVICE AND ITS MOUNTING STRUCTURE

HITACHI, LTD. OGINO, Masahiko NAGAI, Akira EGUCHI, Shuji ISHII, Toshiaki SEGAWA,  
Masanori AKAHOSHI, Haruo TAKAHASHI, Akio MIWA, Takao TANAKA, Naotaka ANJOU,  
Ichirou

Inventor(s): OGINO, Masahiko ; NAGAI, Akira ; EGUCHI, Shuji ; ISHII, Toshiaki ; SEGAWA,  
Masanori ; AKAHOSHI, Haruo ; TAKAHASHI, Akio ; MIWA, Takao ; TANAKA, Naotaka ; ANJOU,  
Ichirou

Application No. JP9500714, Filed 19950412, A1 Published 19960328

**Abstract:** A multilayer wiring structure is provided on the surface of a mounting substrate where a semiconductor chip (1) is mounted. The structure has a conductor layer electrically connected to the substrate. Ball-like terminals (5) are arranged in a grid array on the surface of the substrate. The wiring structure has a buffer layer (7) which relieves the thermal stresses generated in the chip (1) and mounting substrate and a multilayer wiring layer (14). Since the wiring distance of this semiconductor device is shorter than that of a conventional semiconductor device, the inductance component is small and the signal speed is high. In addition, since the distance between a grounding layer and a power supply layer is short, noise during the operation is low, the buffer layer of the wiring structure relieves thermal stresses at the mounting time, and the connection reliability of the semiconductor device is improved. Moreover, since wire bonding is omitted, the number of terminals per unit area is increased.

Int'l Class: H01L02192; H01L02312 H01L02352

Priority: JP 6/224674 19940920

Designated States: CN JP KR US AT BE CH DE DK ES FR GB GR IE IT LU MC NL PT SE



Home



Search



List

☒ Include

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

E 5568

①

(19) 日本国特許庁 (J P)

# 再公表特許 (A 1)

(11) 国際公開番号

WO 96 / 0 9 6 4 5

発行日 平成 9 年 (1997) 7 月 29 日

(43) 国際公開日 平成 8 年 (1996) 3 月 28 日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/92  
23/12  
23/52

識別記号 庁内整理番号 F I

審査請求 未請求 予備審査請求 有 (全 23 頁)

出願番号 特願平8-510742  
(21) 国際出願番号 PCT / J P 9 5 / 0 0 7 1 4  
(22) 国際出願日 平成 7 年 (1995) 4 月 12 日  
(31) 優先権主張番号 特願平6-224674  
(32) 優先日 平 6 (1994) 9 月 20 日  
(33) 優先権主張国 日本 (J P)  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CN, J P, KR, US

(71) 出願人 株式会社日立製作所  
東京都千代田区神田駿河台 4 丁目 6 番地  
(72) 発明者 荻野 雅彦  
茨城県日立市国分町 3 丁目 8 番 18 号 恒和 寮  
(72) 発明者 永井 晃  
茨城県日立市東多賀町 3-14 光仁アパー ト A406  
(72) 発明者 江口 州志  
茨城県那珂郡東海村白方 1711-30  
(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置およびその実装構造体

## (57) 【要約】

半導体チップ 1 の実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、その多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子 5 を有し、かつ、前記多層配線構造体は実装後の半導体チップと実装基板との熱応力を緩和する緩衝層 7 と多層配線層 14 で構成した半導体装置である。従来の半導体装置と比較して配線距離が短いためインダクタンス成分が小さく信号速度の高速化ができる。グランド層と電源層との距離を短縮できるため動作時のノイズを軽減でき、多層配線構造体の緩衝層が実装時の熱応力を緩和し、接続信頼性が向上する。また、ワイヤボンディングが省略でき単位面積当たりの端子数も多くできる。

第 5 図

